

Ultra-Thin Chip Embedding and Interconnect Technology for System-in-Foil Applications

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik
der Universität Stuttgart zur Erlangung der Würde eines Doktors
der Ingenieurwissenschaften (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von

Mahadi-Ul Hassan

geboren am 14.08.1982 in Narayanganj, Bangladesch

Hauptberichter: Prof. Dr.-Ing. Joachim N. Burghartz

Mitberichter: Prof. Dr.-Ing. Norbert Frühauf

Tag der Einreichung: 09.05.2016

Tag der mündlichen Prüfung: 24.01.2017

Institut für Mikroelektronik Stuttgart (IMS CHIPS)

Universität Stuttgart

2017

Berichte aus der Mikrosystemtechnik

Mahadi-UI Hassan

**Ultra-Thin Chip Embedding and Interconnect
Technology for System-in-Foil Applications**

D 93 (Diss. Universität Stuttgart)

Shaker Verlag
Aachen 2017

Bibliographic information published by the Deutsche Nationalbibliothek

The Deutsche Nationalbibliothek lists this publication in the Deutsche Nationalbibliografie; detailed bibliographic data are available in the Internet at <http://dnb.d-nb.de>.

Zugl.: Stuttgart, Univ., Diss., 2017

Copyright Shaker Verlag 2017

All rights reserved. No part of this publication may be reproduced, stored in a retrieval system, or transmitted, in any form or by any means, electronic, mechanical, photocopying, recording or otherwise, without the prior permission of the publishers.

Printed in Germany.

ISBN 978-3-8440-5276-3

ISSN 1610-5907

Shaker Verlag GmbH • P.O. BOX 101818 • D-52018 Aachen

Phone: 0049/2407/9596-0 • Telefax: 0049/2407/9596-9

Internet: www.shaker.de • e-mail: info@shaker.de

Dedicated to my beloved wife and daughter

Abstract

Flexible electronics are envisioned to be the major enabler for next generation consumer electronics where compactness, high mechanical stability, and bendability are the key factors. Among various technologies pursued in this emerging field, System-in-Foil (SiF) technology aims at building a system by simply integrating various flexible components inside polymeric foil. In this regard, commonly pursued technologies that are promoted as the low-cost alternative to conventional silicon technology are the large-area organic and printed electronics. The prime vision of these technologies is to fabricate low-cost electronic circuitry by simply printing with an ink-jet printer on a flexible foil. However, building high-performance electronic systems solely by these technologies are not feasible due to their inferior performance compared to the established silicon technology. Therefore, one approach to manufacture high-performance flexible systems is by encompassing the complementary merit of the organic, printed electronics and ultra-thin chips into one single system.

Ultra-thin chips with thickness $\leq 20 \mu\text{m}$ can play an enabling role for the future SiF based applications as they feature high mechanical stability and extreme bendability. A significant technological challenge, however, is their mechanically reliable assembly and interconnection on or inside the foil substrate. Ultra-thin chip mounting on flexible foil seems to be a viable solution complying with traditional IC packaging technologies. Nevertheless, primary drawbacks in this case, include the lack of reliable interconnects, large overall thickness of the assembly and position of the fragile chip away from the mechanical neutral surface of the foil. In contrast, embedding chips inside foil can certainly solve these problems by ensuring secure interconnection, footprint reduction of the entire system and most importantly ensuring their reliable operation even in mechanically deformed state.

The primary emphasis of this work is the development and characterization of the novel ChipFilm™-Patch technology intended for embedding and interconnecting ultra-thin chips inside composite polymer foil. One central aim of the technology in this regard is to make the complete fabrication process fully compatible with conventional CMOS processing. This allows the technology to be processed in mainstream semiconductor fabrication plants with ease. Moreover, use of conventional photolithography and metallization processes facilitates the fine-pitch chip to foil interconnectivity.

Key aspects of this dissertation can be pointed out as follows

- Fabrication process steps of ChipFilm™-Patch based on the chip-face-up concept are discussed in detail. The fine-pitch capability of ChipFilm™-Patch has been demonstrated by interconnecting the embedded chip through $< 10 \mu\text{m}$ vias on chip pad. Additionally, optimization of different process steps to ensure best results concerning reliability and functionality of the ultra-thin chip inside foil are also explained.

- A unique feature of ChipFilm™-Patch compared to other flexible package concepts is its capability as a standalone foil system by allowing fabrication and interconnection of organic and large-area printed electronic components directly on its foil surface. This exclusive feature of ChipFilm™-Patch is further investigated and established in this work by successfully fabricating and characterizing Organic Thin-Film Transistors (OTFTs) and printed strain-gauges on foil.
- A detailed mechanical stress analysis is conducted on chip on foil and ChipFilm™-Patch systems using simplified analytical and numerical models. For this purpose, both external mechanical bending induced stress and residual stress resulting from thermal mismatch of the materials are analyzed.
- Electrical characterization of devices on ultra-thin chips mounted (chip on foil) as well as embedded in foil (ChipFilm™-Patch) are performed to determine the external mechanical bending induced piezoresistive effect on them. Due to the complex nature of the chip-foil system, uniquely refined measurement techniques are employed to identify and eliminate undesired measurement artifacts such as temperature and glue relaxation effect.
- Long-term reliability and functionality of ChipFilm™-Patch are investigated through various standard electronic package qualification tests. Among them, two of the primary evaluation tests, namely interconnection reliability in bent state and thermal cycling tests, are discussed in detail.

Although successful implementation of ChipFilm™-Patch technology has been demonstrated in this work, further process improvement and optimization are required to ensure their reliable presence in future flexible systems.

Kurzfassung

Flexible Elektronik ist ein Wegbereiter für die nächste Generation elektronischer Systeme, bei denen hohe Integrationsdichte und hohe mechanische Biegsamkeit, Stabilität und Zuverlässigkeit die Schlüsselfaktoren sind. Systeme-in-Folie (SiF), die großflächig verteilte und hochintegrierte dünne Chipkomponenten auf einem flexiblen Träger vereinen, sind ein technologischer Ansatz für diese neuen Anwendungsbereiche. Als kostengünstige Alternative zur herkömmlichen Siliziumtechnologie wurden bisher hauptsächlich Drucktechniken und organische Elektronik als Basis für diese flexiblen elektronischen Systemen vorgeschlagen. Das oberste Ziel dieser Ansätze ist es, preiswerte elektronische Schaltungen einfach durch Drucken mit einem Tintenstrahldrucker oder ähnlichen Verfahren auf einer flexiblen Folie herzustellen. Allerdings sind flexible hochintegrierte elektronische Systeme durch diese Technologien aufgrund ihrer schlechteren Leistungsfähigkeit im Vergleich zu der etablierten Siliziumtechnologie nicht realisierbar. Die Kombination von organischer Elektronik, Drucktechniken und integrierten ultradünnen Chips kann diese Einschränkungen überwinden.

Ultradünne Chips mit einer Dicke von $\leq 20 \mu\text{m}$ spielen eine grundlegende Rolle für die SiF-basierten Anwendungen, da sie über eine hohe mechanische Stabilität und extreme Biegsamkeit verfügen, dabei jedoch die Leistungsfähigkeit üblicher Chips beibehalten. Eine bedeutende technologische Herausforderung ist jedoch ihr mechanisch zuverlässiger Aufbau und die Verbindung auf oder in dem Foliensubstrat. Ultradünne Chips auf flexiblen Folien scheint eine tragfähige Lösung für herkömmliche IC-Verpackungstechnologien zu sein. Von Nachteil sind in diesem Fall das Fehlen zuverlässiger elektrischer Verbindungen, die große Gesamtdicke und die Entfernung des zerbrechlichen Chips von der mechanischen neutralen Fläche der Folie. Im Gegensatz dazu können in Folie eingebettete Chips eine zuverlässige elektrische Verbindung, eine kompakte Form und ein mechanisch flexibles System gewährleisten.

Der primäre Schwerpunkt der vorliegenden Arbeit ist die Entwicklung und Charakterisierung der patentierten ChipFilm™-Patch-Technologie, die eigens zur Einbettung und Kontaktierung ultradünner Chips in Polymerfolie entwickelt wurde. Ein zentrales Ziel dieser Technik ist es, die Prozesse kompatibel mit der herkömmlichen CMOS-Technologie auszuführen. Darüber hinaus erleichtert die Verwendung der etablierten Fotolithografie- und Metallisierungsverfahren die in der Mikroelektronik üblichen Metallisierungsdichten.

Wesentliche Aspekte dieser Arbeit sind:

- Die Evaluierung der Prozessschritte für die Herstellung von ChipFilm™-Patch auf Basis des Chip-face-up Konzepts. Die Fine-Pitch-Fähigkeit von ChipFilm™-Patch wurde durch die Kontaktierung des integrierten Chips durch $< 10 \mu\text{m}$ Durchkontaktierungen auf Chip-Pad unter Beweis gestellt. Zusätzlich erfolgte die Optimierung der verschiedenen

Prozessschritte, um optimale Ergebnisse in Bezug auf Zuverlässigkeit und Funktionalität der ultradünnen Chips in Folie zu gewährleisten.

- Ein besonderes Merkmal des ChipFilm™-Patch im Vergleich zu anderen flexiblen Aufbau- und Verbindungstechniken (AVT) ist seine Fähigkeit, als eigenständiges Foliensystem die Herstellung und Kontaktierung von organischen und großflächig gedruckten elektronischen Komponenten auf einer Folienoberfläche zu ermöglichen. Diese exklusive Funktion von ChipFilm™-Patch wird in dieser Arbeit durch die erfolgreiche Herstellung und Charakterisierung von organischen Dünnschichttransistoren (OTFT) und gedruckten Dehnungstreifen auf Folie untersucht und festgelegt.
- Eine detaillierte mechanische Spannungsanalyse wird auf den Chip-auf-Folie- und ChipFilm™-Patch-Systemen mit vereinfachten analytischen und numerischen Modellen durchgeführt. Zu diesem Zweck wurden der Stress, verursacht durch die mechanische Biegung und die Restspannung, die aus der thermischen Fehlanpassung der Materialien resultiert, analysiert.
- Die Bestimmung des piezoresistiven Effekts erfolgt durch elektrische Charakterisierung der Bauelemente, die auf ultradünnen Chips montiert (Chip-auf-Folie) sowie in Folie eingebettet (ChipFilm™-Patch) sind. Aufgrund der komplexen Natur des Chip-Foliensystems wird eine verfeinerte Messtechnik eingesetzt, um unerwünschte Messartefakte wie Temperatur und Kleber-Entspannungseffekte zu beseitigen.
- Die Zuverlässigkeit und Funktionalität des ChipFilm™-Patch wird mit verschiedenen standardisierten elektronischen Packaging-Qualifikationstests untersucht. Zwei der wichtigsten Bewertungstests, nämlich Verbindungszuverlässigkeit in gebogenem Zustand und Temperaturwechseltests, werden ausführlich diskutiert.

In dieser Arbeit wurde die ChipFilm™-Patch-Technologie entwickelt, erprobt und erfolgreich demonstriert. Mit wenigen weiteren Prozessoptimierungen wird die Umsetzung in Applikationen für zukünftige flexible Systeme möglich sein.

Contents

Abstract	vii
Kurzfassung	ix
Contents	xi
List of Tables	xv
List of Figures	xv
Abbreviations	xix
1 Motivation	1
2 Electronic Packaging	7
2.1 Conventional Electronic Packaging.....	7
2.1.1 Early History of Semiconductor Packaging.....	8
2.1.2 State-of-the-Art Packaging Technologies	9
2.2 Flexible Packages.....	14
2.2.1 Existing Concepts.....	15
2.2.2 ChipFilm™-Patch Concept.....	22
2.2.3 Benchmarking.....	24
2.3 Fabrication of Ultra-Thin Chips.....	26
2.3.1 Subtractive Technique.....	26
2.3.2 Additive Technique	28
2.4 Summary	29
3 ChipFilm™-Patch Technology	31
3.1 Two-Polymer Embedding Technique.....	31
3.1.1 Benzocyclobutene (BCB)	33
3.1.2 Polyimide.....	36
3.2 Chip-Face-Down Concept.....	39
3.3 Chip-Face-Up Concept	40
3.4 Detailed Fabrication Process Steps	42
3.4.1 Carrier Substrate Preparation	42
3.4.2 Base Polymer Preparation.....	45

3.4.3	Chip Assembly	47
3.4.4	Micro Via Technology	50
3.4.5	Metallization	59
3.4.6	Top Polymer Preparation.....	65
3.4.7	Pad Interface Metallization.....	66
3.4.8	Release from Wafer Substrate.....	68
3.5	Large-Area Organic and Printed Electronics on Foil	69
3.5.1	OTFT Fabrication	69
3.5.2	Strain-Gauge Fabrication.....	71
3.6	Candidate Application Fields.....	73
3.7	Summary	76
4	Mechanical Stress Analysis	79
4.1	Fundamentals of Mechanical Stress	79
4.2	Residual Stress Induced Deformation	86
4.3	Warping of Ultra-Thin Chips	89
4.4	Ultra-Thin Chip Bending Analysis	94
4.4.1	Freestanding Chip	94
4.4.2	Chip on Foil	98
4.4.3	Chip inside Foil (ChipFilm™-Patch)	107
4.5	Estimation of Strain on Foil	114
4.6	Summary	115
5	Electrical Characterization	117
5.1	Piezoresistive Effect	118
5.2	Measurement Setup	121
5.3	Feasibility Tests on ChipFilm™-Patch	124
5.3.1	Reliability of Interconnections in Bent State.....	125
5.3.2	Thermal Cycling	126
5.4	Characterization of MOS Transistors	128
5.4.1	Chip on Foil	136
5.4.2	Chip inside Foil (ChipFilm™-Patch)	139
5.5	Artifacts Affecting the Measurements	141

5.5.1 Temperature Effect.....	141
5.5.2 Adhesive Relaxation Effect	144
5.5.3 Nonlinear Apparent Mobility Change Effect	145
5.6 Characterization of Strain-Gauges on Foil	149
5.7 Summary	153
6 Conclusions and Outlook	157
Acknowledgments	161
Bibliography	163
Curriculum Vitae	173
Publications	175